

デバイスの開発

北山英幸*¹⁾ 前田淳志*²⁾ 土肥正男*³⁾
島邦夫*⁴⁾ 神原由美*⁵⁾

1. はじめに

FA システムの高度化に伴い、光電スイッチに代表される計測・認識装置に対する要求は、検出距離の長距離化・小型化・高速化・不可視情報の画像化などがあり、その改良が強く求められている。これらの機器・装置は、使用している光デバイスやセンサデバイスにより、その機能や性能は自ずと制限される。それゆえ、デバイスに対しての様々な要求が存在し、これらの要求に応えるべく、その開発が必要となっている。このような背景から、当社のデバイス開発は光センサ用の光源として重要なLED素子および不可視情報の画像化と小型化が可能なシリコンマイクロセンサデバイスを目的に、これらの素子やデバイス開発の共通した要素技術である半導体技術の導入と開発を中心に進めている。本稿では、デバイス開発に不可欠な半導体プロセス技術についての紹介を行う。

2. LED 素子の開発

LED を開発する際、その材料や構造は、主に次のような項目によって決められる。

- ・ピーク発光波長
- ・発光出力
- ・応答速度
- ・発光パターン

今回紹介する Si ドープ GaAs 赤外 LED は、Si 受光素子に適合する発光波長 (typ.940~950nm) が得られ、発光効率も高く、工程が比較的簡素であり、これを基本構造とした LED 素子は、リモコンやセンサなど種々の用途に広く使用されている。この LED の発光は、P 領域での伝導帯と縮退した不純物バンド間の再結合発光が支配的であり、そのピーク波長は GaAs の吸収端より長く、不純物 (Si) 濃度によって約 930nm から 980nm 程度まで変化する。また、応答速度は上述の発光機構のため 1 μ sec. 程度と遅くなる。

2.1 素子構造

素子構造は図 1 の通りである。P 層より吸収の少ない n 層側から光を取り出す構造となっている。先に述べたように、発光領域は主に P 領域であり、その厚みは注入少数キャリアの拡散長と順方向電圧降下などを加味して 60~80 μ m とした。光を取り出す n 層側の厚みは、薄いほど吸収される光は減少するが、pn 接合部での結晶性を確保するため n 成長層厚みを 30~40 μ m、n 型基板厚みはハンドリングを考慮し 180 μ m 程度とした。

2.2 各製作工程

製作工程の流れを図 2 に示す。

2.2.1 結晶成長

1) 結晶成長の概要

一般に、GaAs や GaAlAs を材料とする LED は、GaAs 単結晶基板上に液相エピタキシャル (Liquid Phase Epitaxial: LPE) 成長法で単結晶成長を行うことにより作られる。LPE 成長は、高温で溶媒中に溶解・飽和させた溶質を、冷却することにより基板上に析出・成長させるものである。GaAs の場合は、Ga 融液に溶解させた GaAs を析出・成長させることになる。ここで大切なことは、成長させる結晶と基板が格子整合性を持っていることであり、結晶は基板の結晶構造に従って順序よく成長して行くのである。LED の pn 接合は、P 層・n 層を順次成長させて形成するのだが、Si ドープ GaAs の場合、P・n 各層を一種類の溶液から成長させることが可能である。

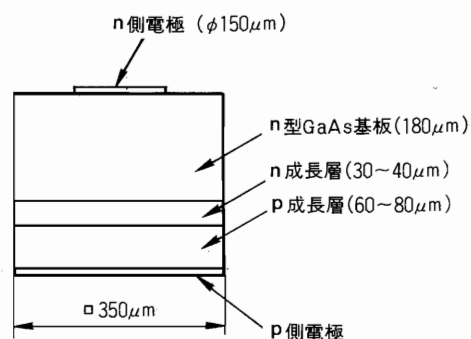


図 1. Si ドープ GaAs 赤外 LED 素子構造

*1) 研究開発部
*2) 研究開発部
*3) 研究開発部
*4) 生産技術・管理センター
*5) 生産技術・管理センター

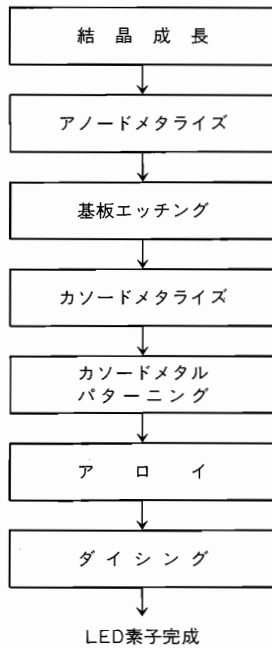


図2. 製作工程の流れ

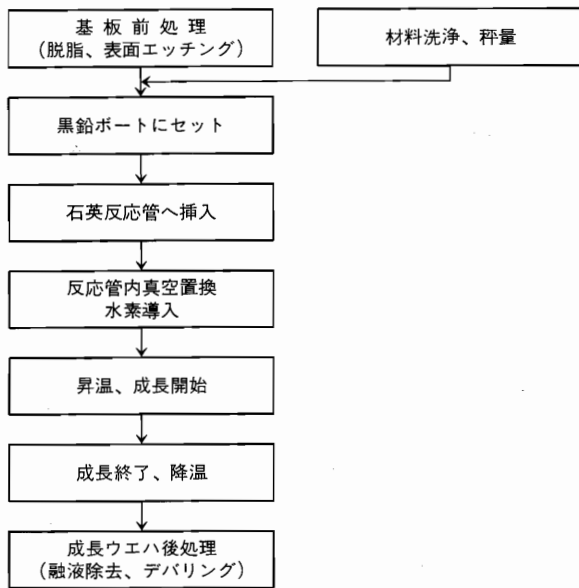


図3. 結晶成長作業手順

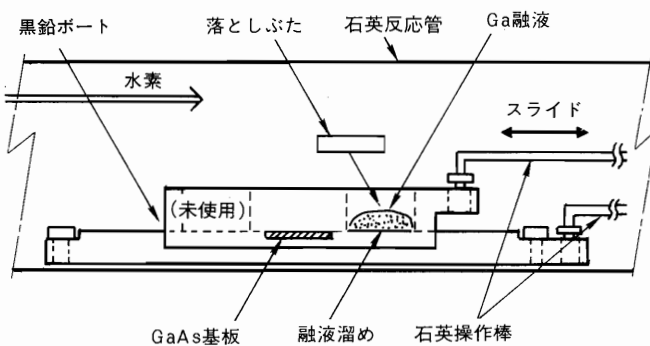


図4. 結晶成長装置の概略

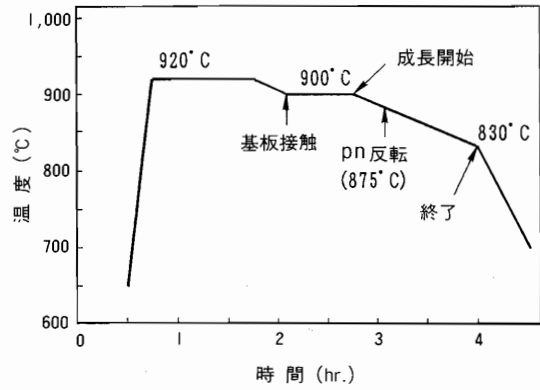


図5. 結晶成長温度プロファイル

表1. 基板の特性および材料の構成

GaAs基板の特性		Ga 融液の構成	
タイプ	Siドープn型	Ga	融液の厚みが4 mm程度となる量
結晶面	(100)	poly GaAs	900°Cでの飽和量×93%
キャリア密度	$7.1 \sim 9.0 \times 10^{17} / \text{cm}^2$	Si	Gaに対して0.3wt%

これは、不純物であるSiが高温でGa格子点(ドナーとなる)に、低温でAs格子点(アクセプターとなる)に入り易く、高温から冷却成長した際、ある温度を境に成長層がn型からp型へと反転するためである。

半導体は、僅かな不純物や欠陥に対して、良くも悪くも敏感に反応する。従って、望ましくない不純物の存在やストレスは極力避ける必要がある。洗浄に使用される水は各種の処理を施され、比抵抗が $15 \text{M}\Omega\text{cm}$ 以上でダストも殆んど除去されている。また、GaやSiなどの材料は、少なくとも純度99.9999%以上のものが使用される。しかも、結晶成長プロセス中に、これらの材料や基板は反応管中で高純度(99.99999vol%以上)の水素に高温でさらされることにより、更に純度が高くなる。石英反応管や黒鉛のポートは高純度のものが使用されるが、これらも前処理として 1000°C 程度で水素処理を行い、さらに高純度化される。

2) 成長条件及び成長層の評価

結晶成長作業の手順、成長装置の概略、設定条件の一例を図3～5および表1に示す。

結晶成長は高純度水素雰囲気中で行われ、まず 920°C で材料を十分に溶解する。この時、材料は高温水素雰囲気によって高純度化される。次に成長開始温度の 900°C まで降温し、ポートをスライドさせてGa融液とGaAs基板を接触させる。Ga融液中に溶かし込んだGaAsの量は、 900°C における飽和量より小さく設定してあるため、基板はメルトバックされることになる。メルトバックは、基板表面に残留している欠陥や応力を除去するために行うものである。この温度でしばらく保持した後、降温して結晶

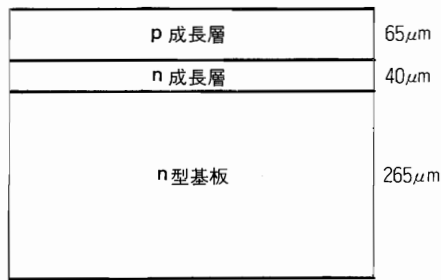


図6. 成長後の各層厚み

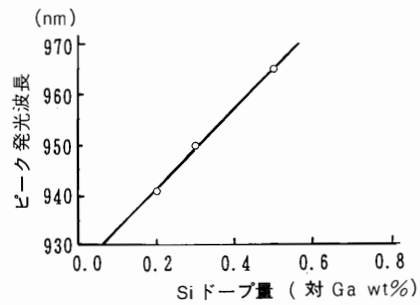


図8. Si ドープ量-ピーク発光波長

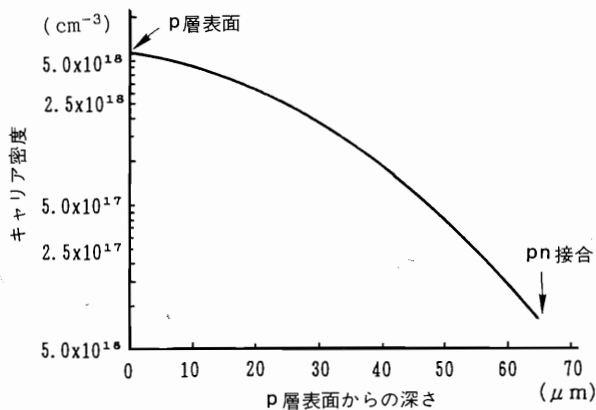


図7. キャリア密度プロファイル

成長を開始する。830℃で基板と融液をカットし、成長を終了する。

成長層及び基板の厚みは、ウエハ断面にステインエッチングを施し、金属顕微鏡で観察・測定した結果(図6)、基板が265μm、n成長層が40μm、P成長層が65μmであった。従って、約875℃でn型からP型へ反転していることになる。また、基板の元の厚みは約305μmであるから、900℃でのメルトバックは40μmであったことが判る。

図7にCV法で測定した、P層表面からpn接合部付近までのキャリア密度プロファイルを示す。P層表面では、As格子点に入るSiがGa格子点に入るそれより遙かに多いため、 $5 \times 10^{18}/\text{cm}^3$ と高いアクセプター密度となっており、良好なオーミック電極が形成し易いことが判る。ただし、このP型高密度層は光の吸収が大きいため、n層側から光を取り出している。また、pn接合部付近では、アクセプターとドナーが互いに補償しており、低いキャリア密度を示している。

図8は、Siドープ量とピーク発光波長の関係を表している。目的とする950nmの波長を得るには、0.3wt%のSiをドープすれば良いことが判る。

2.2.2 アノードメタライズ

図9に作業手順の概略及び蒸着金属の構成を示す。LEDのアノード側、即ちP層側のメタライズは、一層目にAuZn共晶合金、その上にAuを蒸着することにより行った。AuZn

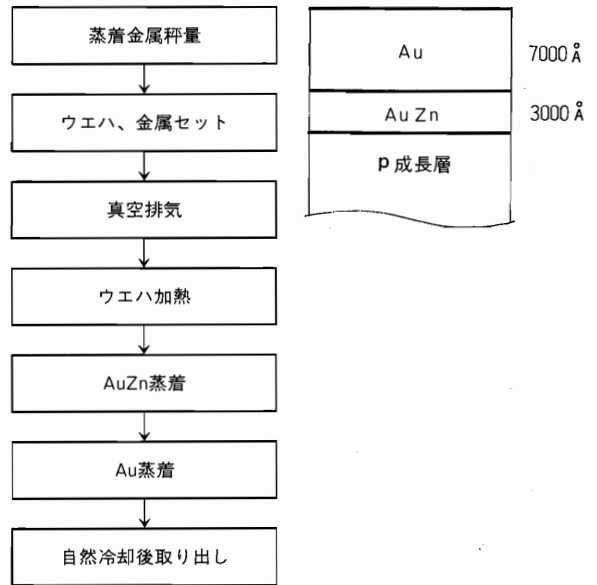


図9. アノードメタライズ作業手順および蒸着金属の構成

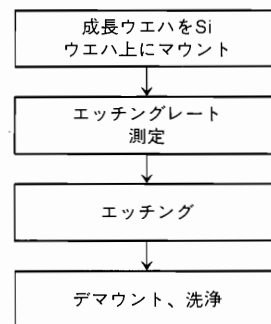


図10. 基板エッチング作業手順

の層は、良好なオーミックコンタクトを得るため及び密着力を高めるためのものであるが、詳しくは後のアロイ工程で述べる。

2.2.3 基板エッチング

基板を設定した厚み(180μm)にするため、エッチングを行う工程である。手順は図10の通りである。Siウエハ上にマウントするのは、アノードメタルの剥離を防止するためである。

2.2.4 カソードメタライズ

蒸着金属の構成は、図11の通りである。アノードと同様の目的で、一層目には AuGeNi 共晶合金を蒸着した。二層目の Au の厚みは、組み立て時のワイヤボンダビリティを考慮して、アノードより厚くなっている。

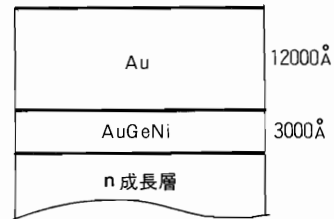


図11. カソード蒸着金属の構成

2.2.5 カソードメタルパターニング

光取り出し側であるカソードメタルをドット状に加工する工程である。ドットのピッチはチップサイズによって決まる。ドットの径が小さいほど光の取り出し量が多くなるのは当然であるが、ワイヤボンディングエリアを確保するため、 $\phi 150\mu\text{m}$ とした。なお、ドットの径が極端に小さいと pn 接合部での電流密度に偏りが生じることになる。作業の手順は図12の通りである。

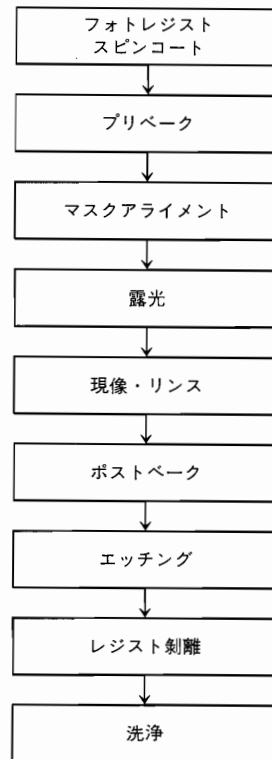


図12. カソードメタルパターニング作業手順

2.2.6 アロイ

半導体表面に電極を形成する際、一般に金属 (Al, Au など) を蒸着しただけではショットキー接触となり、接触抵抗が高く、密着力も弱い。従って、良好なオーミック電極を形成するためには、電極金属を蒸着した後の処理が必要となる。ここでは、アロイ工程により、これを行っている。ここで言うアロイとは、合金の共晶点以上の温度で行う熱処理のことを指す。n 層表面は、AuGeNi 共晶合金でメタライズされているが、これにアロイを行うと GaAs と AuGeNi の界面で AuGa, AuGe などの種々の合金が形成される。これにより、接触抵抗が小さくなり、密着力も強くなる。Ni の役割は、合金化を一様にするに及び合金のボールアップを防ぐことである。また、合金層の下では Ge の拡散により n 型高不純物濃度層が形成され、合金層とのオーミック接触が得られる。次に P 層側であるが、この場合は半導体-金属間のエネルギー障壁が低いため、オーミック接触を得やすい。表面は AuZn によってメタライズされているが、アロイを行うと、Au と GaAs が合金化する。また、Zn の拡散により、P 型高不純物濃度層が形成される。こうして、n 層と同様に密着力が強く、良好なオーミック接触の電極が得られる。図13はアロイ工程の作業手順である。

2.2.7 ダイシング

設定した素子サイズでダイス状に切断する工程である。ダイサーは一般に、厚みが数十 μm のリング状ダイヤモンドブレードを高速回転して、切断を行う仕組みとなっている。ダイシングを行うと、素子の切断面に応力や欠陥が生じてしまう。そこで、pn 接合部が露出するまでのハーフダイシングを行ってから、切断面を数 μm エッチングし、その後、フルダイシングして素子を切断した。こうすることで、素子の心臓部である pn 接合部付近の応力や欠陥が除去され、素子寿命の低下を防止することが

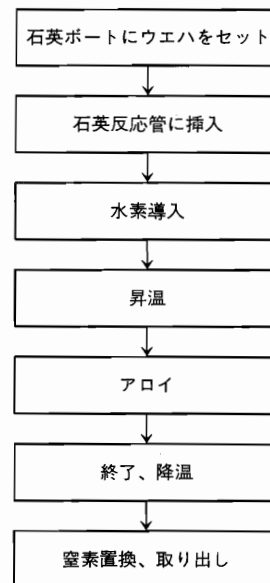


図13. アロイ作業手順

できる。図14にダイシングの手順を示す。この工程で、LED素子の完成となる。

2.2.8 その他の工程

水分やNaイオンなどによるLED素子の寿命低下を防止するため、 SiN_x 、 SiO_xN_y といった保護膜を素子表面に形成する場合がある。特に、GaAsとAlAsの混晶であるGaAlAsを材料とする場合は、AlAsが酸化され易いなど耐環境性に劣るため、保護膜の形成が必要となる。これらの保護膜は一般にプラズマCVDにより形成される。プラズマCVDは、反応ガスを化学的に活性化することにより、低温で化学反応を進行させて薄膜成長を行うものである。プラズマCVDの大きな特徴は、熱的CVDに比べて低温で成長を行えることである。このため、低融点金属を用いた電極や素子のドーピングプロファイルに悪影響を与えにくい。GaAlAs赤色LEDを製作する場合、保護膜として SiN_x 膜を使用している。

2.3 組み立て評価

完成したSiドープGaAsLED素子を、TO-18フラットシステム上にn側を上面として導電性接着剤でボンディングし、n側電極をAuワイヤーでボンディングした後、透明エポキシ樹脂で封止して組み立てた。(図15参照)
この状態で、発光出力・発光波長・順方向電圧特性を測定した。結果は、表2の通りである。

2.4 応用展開

今回、紹介したSiドープGaAs赤外LED素子の構造は基本的なものであり、製作工程も少ない。この構造を基本として、更に発光効率を高くするには、n型不純物を変更して、光吸収や注入効率を改善する、あるいはP層側に窓層としてGaAlAsを成長して光取り出し効率を改善する方法などがある。また、高速応答を求められる場合は、発光層を薄く閉じ込めたダブルヘテロ構造が必要となってくる。このように赤外LEDといっても、目的・用途によって様々な構造が存在し、製作工程も種々違ってくる。従って、新たにLEDを開発するには、用途に合わせた素子構造や工程の設計が必要であり、現在これらの検討を行っている。

3. マイクロセンサデバイスの開発

半導体ICとセンサ材料をシリコン基板に集積した構造のマイクロセンサデバイスは、従来のセンサに比べて応答速度・小型化・多機能化に特長がある。さらに、シリコンを微細かつ立体的に加工できるマイクロマシニング技術を利用することにより、振動・圧力といった機械量もセンシング可能となる。ここでは、焦電センサ材料や

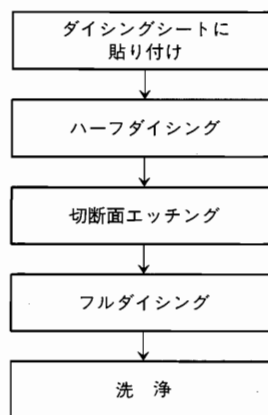


図14. ダイシング作業手順

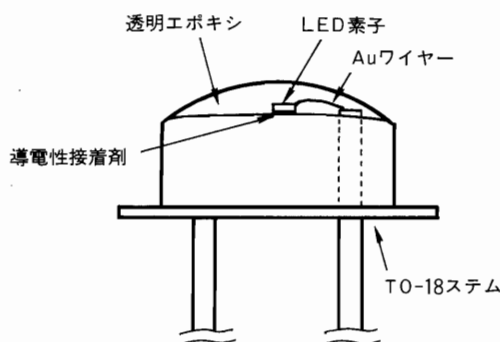


図15. TO-18組立て図

表2. LED組立後の電気的特性

項目	条件	Typical
順電圧	$I_F = 50\text{mA}$	1.25 (V)
発光出力	$I_F = 50\text{mA}$	6.5 (mW)
ピーク発光波長	$I_F = 50\text{mA}$	950 (nm)
スペクトル半値幅	$I_F = 50\text{mA}$	50 (nm)

シリコンカンチレバーをマトリクス状に配置し、熱や振動を画像的にセンシングできるセンサデバイスの製作に不可欠な半導体プロセス技術の中の微細加工に必要なフォトリソグラフィ技術、MOSFET製作に必要な不純物ドーピング技術および薄膜形成技術について紹介する。

3.1 フォトリソグラフィ

シリコン基板上に素子や配線パターンを形成するためのフォトリソグラフィは図16に示す工程でおこなわれ、簡単な増幅回路を内蔵したセンサデバイスにおいても数回から数十回繰り返す必要がある。素子や立体構造を持つセンサ部の微細化にともない、フォトマスクとレジストパターンの線幅の差が大きな問題となる。また、エッ

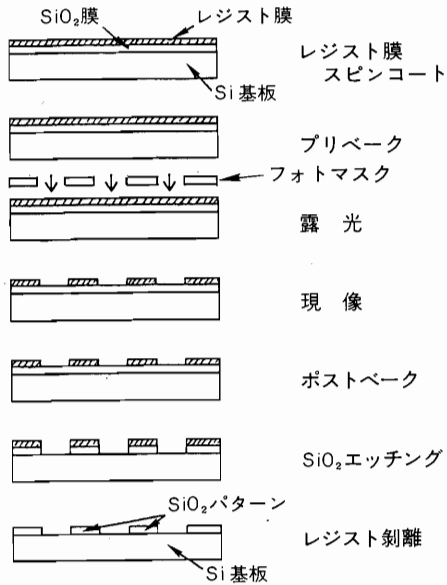


図16. フォトリソグラフィ工程

チング後のパターンはレジストパターンに大きく影響を受ける。そのため、フォトリソグラフィ工程の条件の最適化が重要となる。

3.1.1 レジストスピンコート

スピンコートによって得られるレジスト膜は十分な接着力を持ち、かつピンホールのない膜厚が必要である。しかし、膜厚が厚くなれば光学的にマスクとレジスト膜の密着不良と同じことになり、露光時の回折やコリメーション不良による解像度低下の原因となる。シリコン基板上に熱酸化により SiO_2 膜を約 $0.8\mu\text{m}$ 形成した基板に、市販のポジ型フォトレジストをスピンコートして得られたレジスト膜の膜厚とピンホールの関係をエッチピット法により求めた結果を図17に示す。ピンホール数、レジスト膜厚に対して指数関数的に減少することがわかる。また、歩留りを維持するためピンホール密度は 0.1 個/ mm^2 以下に押さえる必要があることからこのレジスト材料の場合、 $0.9\mu\text{m}$ が最適な膜厚と考えられる。一般に、分子量の高いレジスト材料はピンホール密度が低いことが知られており、材料の種類によって最適な膜厚を決定していく必要がある。次にスピンコートによりレジストを基板上に塗布する場合、レジスト膜厚 D は次の式で表される。

$$D = K_0 \mu^{0.36} \omega^{-0.50}$$

ここで、 K_0 : レジスト液の溶剤の相対蒸発速度・蒸発潜熱・熱容量に関する相関定数

μ : レジスト液の粘度 (cp)

ω : スピンコーティングの角速度 (rpm)

スピンコートの回転数とレジスト膜厚の関係を図18に

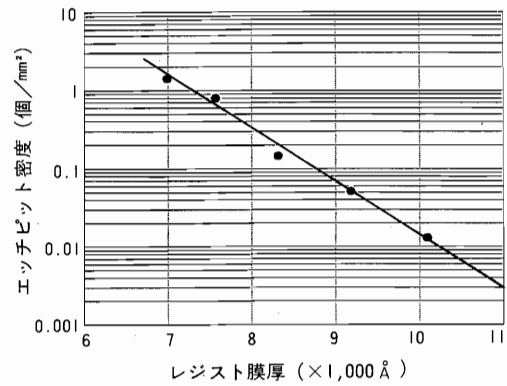


図17. レジスト膜厚とピンホールの関係

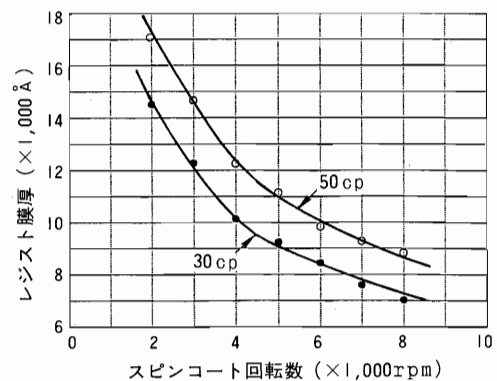


図18. スピンコート回転数とレジスト膜厚の関係

示す。スピンコータの回転時間はレジスト膜の均一性に影響を及ぼすが、30cpのレジスト液の場合2000rpm以上の回転数では、回転時間20秒以上とすることで、均一で再現性の良いレジスト膜が得られている。

3.1.2 プリベーク、露光、現像

プリベークはレジスト膜の溶媒を蒸発させるために行うが、プリベーク不足で溶媒が残留すればレジストの光感度と接着力が低下する。また、プリベークの温度が高すぎると架橋が形成され現像後にレジスト膜が残留する。このため、プリベーク条件を $90^\circ\text{C} \cdot 30$ 分保持し、露光時間を1秒から10秒まで変化させ現像 (25°C , 1分) 後、ポストベーク (120°C , 30分) を行ない SiO_2 エッチング (BHF, 10分) して、レジストパターン線幅とエッチングパターン線幅を比較検討することにより、露光時間の最適化を図っている。図19に露光時間とパターン線幅の関係を示す。この例では、露光時間が4秒以下では露光部にレジストが残留し露光不足になった。また、露光時間が増すに従い、レジストパターン線幅が減少し、露光時間7秒でフォトマスクとエッチングパターン線幅が同じとなり、適正な露光時間となっている。さらに、レジストパターンに対してエッチングパターン線幅が全て

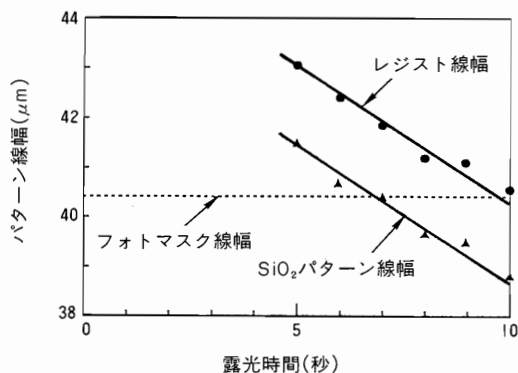


図19. 露光時間とパターン線幅の関係

の場合に減少しているが、これは SiO₂ のエッチング液である BHF が等方性エッチングであることから、SiO₂ 膜厚 (0.8 μm) 程度のアンダーカットによるもので避けられない。以上の検討を行うことにより、目的に応じたレジスト材料を用いてエッチングパターン形成のためのフォトリソグラフィ工程の最適化が可能である。

3.2 不純物ドーピング

IC 技術の基本は、半導体結晶の限られた領域の中の不純物のタイプと濃度を制御することである。一般的な方法として、熱拡散法とイオン注入法とがある。特にイオン注入法は制御性の良さと浅い接合形成が可能であることから MOS トランジスタのゲートのしきい電圧制御に不可欠であり、MOS トランジスタの製作プロセスにおいてドレインソース領域の pn 接合の形成およびゲートしきい値電圧制御で用いている。

シリコン基板に打ち込まれたイオンの分布は近似的に次式に示すガウス分布で表される。

$$\phi(Z) = \frac{N_i}{\sqrt{2\pi} \langle \Delta R_p \rangle} \exp \left\{ -\frac{(Z - \langle R_p \rangle)^2}{2 \langle \Delta R_p \rangle^2} \right\}$$

- ここで、 $\phi(Z)$: イオン濃度
- N_i : 単位面積当りの注入量
- Z : 基板深さ
- $\langle R_p \rangle$: イオンの投影飛程
- $\langle \Delta R_p \rangle$: 標準偏差

イオン注入法では、注入に伴う結晶欠陥の回復と注入イオンの電気的活性化のために熱処理を行う必要がありアニーリングを行う。アニーリング後の注入イオンの再分布 N は次式の拡散方程式を解くことにより求められる。

$$\frac{\partial N}{\partial t} = D \frac{\partial^2 N}{\partial Z^2}, \quad N(Z, 0) = \phi(Z), \quad \frac{\partial N}{\partial Z} \Big|_{Z=0} = 0$$

ここで D は拡散係数である。これを実際に解いた結果を図20に示す。これは P 形シリコン基板にドレインソース領域形成用としてリンイオンを注入エネルギー 50 KeV、

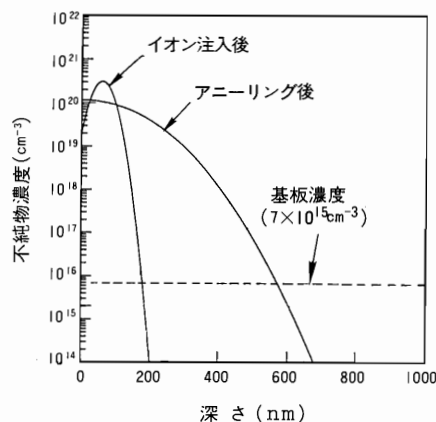


図20. イオン注入およびアニーリングによる不純物分布

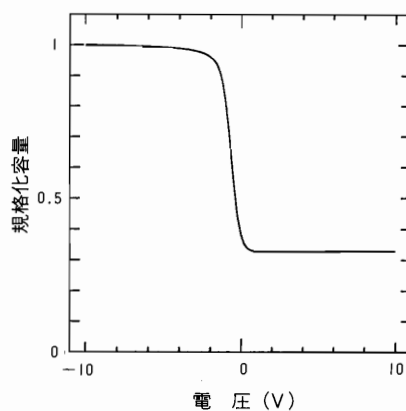


図21. MOS ダイオードの CV 特性

注入量 $2 \times 10^{15} \text{cm}^{-2}$ 注入した後の不純物分布と、その後 $1000^\circ\text{C} / 75\text{分}$ のアニーリングを行った後の再分布の様子を示している。基板濃度が $7 \times 10^{15} \text{cm}^{-3}$ であるので約 $0.6 \mu\text{m}$ の深さに pn 接合が形成されていることがわかる。

3.3 薄膜形成

半導体デバイスの製作には、電極に用いる金属膜をはじめ誘電体膜、保護膜、層間絶縁体膜等それぞれの用途に応じて様々な材料の薄膜が用いられている。ここでは、特に MOS トランジスタのゲート絶縁膜に用いる SiO₂ 膜の形成技術について紹介する。

SiO₂ 膜の形成方法は、スパッタリング法や CVD 法などがあるが、ゲート絶縁膜にはリーク電流が極力少なく、絶縁耐圧が大きい良質な膜が要求されるため、一般に熱酸化法 (特にドライ酸化) により形成される。これは不純物の極めて少ない透明石英管中で電気炉によって 1000°C 程度に加熱しながら O₂ を供給してシリコン表面を酸化する方法で非常に緻密で界面準位の小さい良質な膜が得られる。また、この絶縁膜の膜質の評価には CV 法と呼ばれる方法により行う。

図21に P 形シリコン基板を 1000°C で 1 時間ドライ酸化して

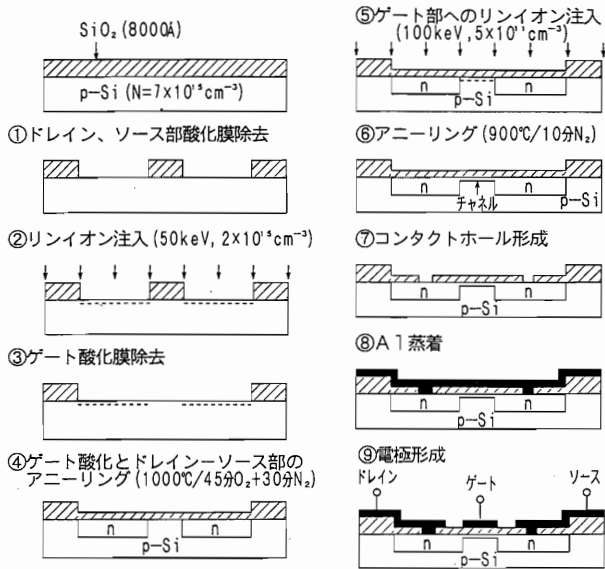


図22. デプレッション形N-MOSFETの作製プロセス

形成した SiO₂膜 (膜厚555Å) の CV 特性を示す。CV カーブの中央の立ち上がりがシャープであることから界面準位が小さく、また左右のシフト量が小さいことから固定電荷が少なく良質な膜が得られていることがわかる。以上のような技術を用いて製作したデプレッション形の N-MOSFETの製作プロセスを図22に、電流-電圧特性を図23に示す。シリコン基板は不純物濃度が $7 \times 10^{15} \text{cm}^{-3}$ (比抵抗 $2 \Omega \cdot \text{cm}$) で結晶面方位 (100) の p/p⁺形のシリコンウエハ上に熱酸化により SiO₂膜を約0.8μm 形成したものである。

3.4 異方性エッチング

シリコン基板上に微細かつ立体的な構造を製作するための技術はマイクロマシニング技術と言われ、多くの技術が活発に研究されている。ここで紹介する異方性のウェットエッチングは、簡単な設備で容易にカンチレバーやV溝およびブリッジ構造などがシリコン基板上に製作できるため、センサデバイスにとって重要な技術の一つである。異方性エッチング液であるEDPは、(エチレンジアミン) : (ピロカテコール) : (純水) = (750ml) : (120g) : (240ml) の溶液で、シリコンの結晶面方位 (111) はほとんどエッチングしないが、他の面はエッチングするため基板の結晶面方位を図24のように選ぶことによりカンチレバーを製作することができる。フォトリソグラフィにより SiO₂膜をカンチレバー形状にエッチングで形成し、110°CのEDP溶液中でSiO₂膜をマスクとしてSiを異方性エッチングする。EDP溶液のエッチレートは図25に示すように、液温および攪拌度合に大きく左右されることから、エッチング装置を工夫する必要がある。

フォトリソグラフィ工程とEDPエッチング工程の最適

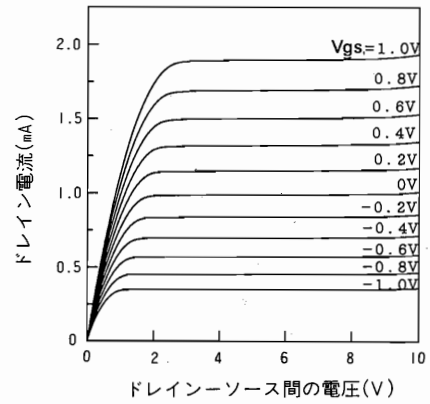


図23. 電流-電圧特性

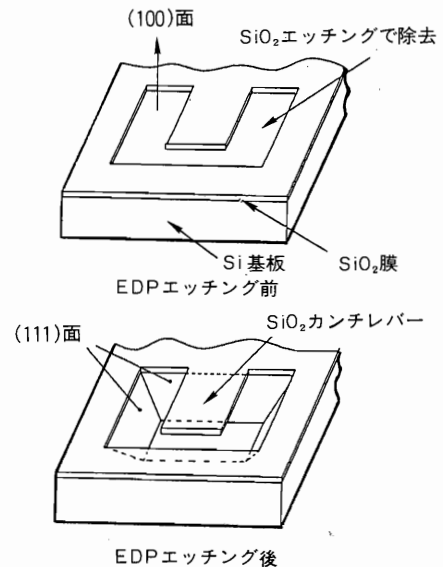


図24. SiO₂カンチレバー製作図

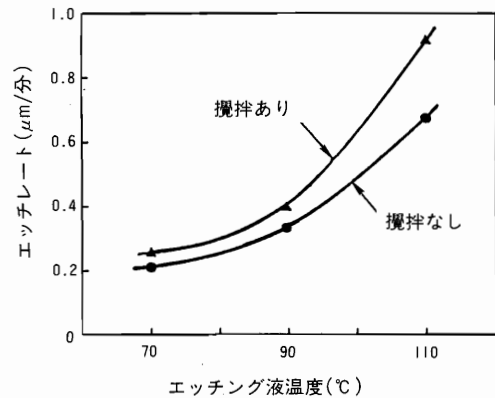


図25. EDP溶液のエッチレート

化を行い、 $w=10\mu\text{m}$ 、 $l=50\mu\text{m}$ 、 $t=0.8\mu\text{m}$ の微小なカンチレバーを 20×20 のマトリクス状にしたアレイを歩留り良く製作することができた。

このようなカンチレバー構造と圧電センサ材料との結合により、超音波のような振動を二次元で検出できるセンサデバイスへの応用が期待できる。

3.5 センサデバイスへの応用

焦電効果を有するポリフッ化ビニリデン (PVDF) フィルムをシリコン基板上に直接ボンディングした構造の赤外線センサアレイを試作した。フィルムとシリコン基板をハイブリッドに製作することによって、小型化とノイズの低減を行っている。構造図を図26に示す。分極処理された PVDF フィルム (厚み $30\mu\text{m}$) の裏面に Al を蒸着し、フォトリソグラフィにより $300\mu\text{m}$ 角のドット電極と $100\mu\text{m}$ 角の引出し電極を16個のアレイ状に形成した。つぎにシリコン基板上に16個のアレイ状に作り込んだデプレッション形の N-MOS のゲート電極とフィルムの引出し電極を導電性ペーストにより接着した。最後にフィルムの表面に Al を蒸着し、黒色塗料を塗布して赤外線吸収電極とした。また、フィルムからシリコン基板への熱の逃げを防止するために、ドット電極直下のシリコン基板を異方性エッチングにより表面から $30\mu\text{m}$ 掘り込んだ構造としている。このドット電極にパルス変調した赤外線レーザー (843nm 、強度 $8.9\text{mW}/\text{cm}^2$) を照射し MOS トランジスタにより増幅することにより、 $35\text{mV}_{\text{P-P}}$ の焦電出力が得られている。

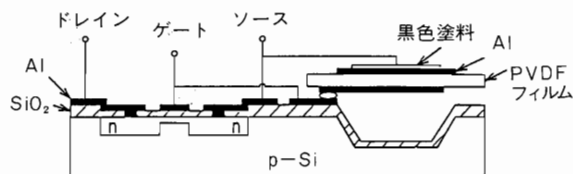


図26. 赤外線センサアレイの構造図

4. おわりに

LED とマイクロセンサのデバイス開発に不可欠な半導体技術を中心にその一部を紹介した。今後、デバイス実用化のためには素子化技術に加え、センサ材料およびパッケージング技術を含めた広範な技術の蓄積が必要である。

マイクロセンサデバイスの開発に際して、イオン工学研究会において技術指導頂いた大阪府立産業技術総合研究所の鈴木室長、井上研究員に深く感謝いたします。

また、本開発を進める上で、御協力頂いた関係各位に感謝いたします。

参考文献

- 1) 超 LSI プロセスデータハンドブックサイエンスフォーラム社 1982
- 2) 庄野克房：半導体技術(上)(下) 東京大学出版会 1976
- 3) 中野朝安他：微細加工 サブミクロン素子への展開 東京電機大学出版局
- 4) 藤正 巖他：マイクロマシン開発ノートブック 秀潤社 1991